

(11)特許出願公開番号

特開平10-154809

(43)公開日 平成10年(1998)6月9日

FI

6 5 3 A

6 5 2 K

658G

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 久保 博稔

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 發明者 桑子 栄一郎

大阪府守口市京阪本通2丁目5番5号 三
洋重機株式会社内

(72)発明者 北川 正直

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 弁理士 安富 耕二 (外1名)

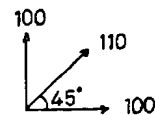
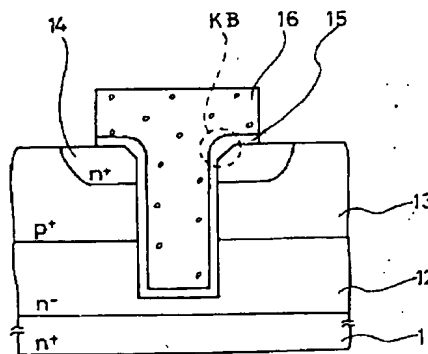
最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 トレンチ型のパワーMOSFETの製造方法の改善に関する。

【解決手段】 基板面及びオリエンテーション・フラット面の面方位がともに（１００）である一導電型の半導体基板１１と、その表層に順次形成された一導電型のドレイン領域１２、逆導電型のチャネル領域１３と、これらを貫通するように設けられ、側壁の面方位がオリエンテーション・フラット面１０と一致し、かつ角部が切除され、切除後に露出する面１８の面方位が（１１０）となる溝１７と、溝１７の内壁及び角部を被覆するように設けられたゲート絶縁膜１５と、ゲート絶縁膜１５上に設けられ、溝１７を充填するように形成されたゲート電極１６と、溝１７の近傍に設けられ、一導電型の不純物拡散層よりなるソース領域１４とを有すること。



11: 半導体基板
13: チャネル層
15: ゲート絶縁膜
KB: 角部

12: ドレイン層
14: ソース領域
16: ゲート電極

【特許請求の範囲】

【請求項 1】 基板面及びオリエンテーション・フラット面の面方位がともに (100) である一導電型の半導体基板と、
前記半導体基板の表層に形成された一導電型のドレイン領域と、
前記ドレイン領域の表層に設けられた逆導電型のチャネル領域と、
前記チャネル領域と前記ドレイン領域とを貫通するように設けられ、側壁の面方位が前記オリエンテーション・フラット面と一致し、かつ角部が切除され、切除後に露出する面の面方位が (110) となる溝と、
前記溝の内壁及び前記角部を被覆するように設けられたゲート絶縁膜と、
前記ゲート絶縁膜上に設けられ、前記溝を充填するように形成されたゲート電極と、
前記溝の近傍に設けられ、一導電型の不純物拡散層よりなるソース領域とを有する事を特徴とする半導体装置。

【請求項 2】 前記半導体基板は、シリコン基板からなり、
前記ゲート絶縁膜は、前記トレンチの内壁及び角部を酸化して得られるシリコン酸化膜であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 基板表面の面方位とオリエンテーション・フラット面の面方位とがともに (100) 面である一導電型の半導体基板の表層に一導電型のドレイン領域層を形成し、前記ドレイン領域層の表層に逆導電型のチャネル領域層を形成する工程と、
前記半導体基板の表面に第 1 の絶縁膜を形成し、前記チャネル領域層に一導電型の不純物を注入・拡散してソース領域を形成する工程と、
前記ソース領域近傍の領域の前記第 1 の絶縁膜及び前記半導体基板を選択的にエッチングして、側壁の面方位が前記オリエンテーション・フラット面と一致するような溝を形成する工程と、
前記溝の開口の角部を選択的に除去し、除去された後に現れる面の面方位を (110) とする工程と、
前記溝の内壁及び前記角部を酸化して、第 2 の絶縁膜を形成する工程と、
前記溝を充填し、かつ前記半導体基板全面を被覆する導電体層を形成する工程と、
前記導電体層をエッチングにより除去し、前記溝内に残存させてゲート電極を形成する工程とを有する事を特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、さらに詳しくいえば、トレンチ型の縦型パワー半導体装置の製造方法の改善に関する。

【0002】

【従来の技術】 以下で従来例に係る半導体装置について図面を参照しながら説明する。この半導体装置は、図 7 に示すようなトレンチ型のパワー MOSFET である。これを形成するには、図 6 に示すようなウエハ、すなわち基板 1 の面方位が (100) であって、オリエンテーション・フラット面 2 の面方位が (110) であるようなウエハを用いる。

【0003】 図 7 のパワー MOSFET においては、N+ 型の半導体基板 1 の表層に N- 型の共通ドレイン層 2 がエピタキシャル成長法によって形成され、この共通ドレイン層 2 の表層に、P+ 型の不純物が拡散されることでチャネル層 3 が形成されている。またチャネル層 3 の表層の一部には、N+ 型の不純物が拡散されることによりソース領域 4 が形成されており、これらを通ずるように溝 (トレンチ) が設けられている。

【0004】 このトレンチは、側壁がオリエンテーション・フラット面 2 の面方位と一致するように形成されているので、トレンチの側壁の面方位が (110) となり、トレンチの底面及び基板表面の面方位が (100) となっている。このトレンチの表層にはゲート絶縁膜 5 が形成され、ゲート絶縁膜 5 上にはこのトレンチを充填するようにポリシリコンゲート 6 が形成されている。

【0005】 上記のパワー MOSFET を製造するには、トレンチを形成した後に熱酸化などで内壁及び底面に酸化膜を成長させる事によってゲート絶縁膜 5 を形成していた。

【0006】

【発明が解決しようとする課題】 上記の半導体装置によれば、図 7 に示すようにトレンチの側壁の面方位が (110) となり、トレンチの底面及び基板表面の面方位が (100) となる。ゲート絶縁膜 5 を形成するには、上述のようにトレンチを形成した後に、熱酸化によって酸化膜をトレンチ内で成長させているが、酸化膜の形成工程においては、面方位が (100) の場合が成長速度が最も遅く、次いで (111)、(110) の順に速くなるので、面方位が (110) であるトレンチの側壁での酸化膜が、面方位が (100) であるトレンチの底面及び基板表面での酸化膜よりも速く成長して、トレンチ側壁でのゲート絶縁膜の膜厚が厚くなる。

【0007】 従って、トレンチ側壁の酸化膜を閾値電圧コントロールのために、所定の膜厚に設定すると、トレンチ底部の膜厚が薄くなり、絶縁耐量の低下が生じる。また、トレンチの開口側の角部 KB に電界が集中することにより、この角部 KB においてゲート絶縁膜が破壊してしまうなどという問題が生じる。このような問題を改善するために、基板面の面方位とトレンチ側壁の面方位とを同じ (100) にして、側壁と底面での成長速度を同じにして、トレンチ溝内に均一な酸化膜を形成するという試みがなされていた (特開平 2-46716)。この方法によると、トレンチの側壁で成長する酸化膜と、

底面で成長する酸化膜の膜厚を均一にすることで、トレンチ底部での絶縁耐量低下を防止できるが、トレンチ開口側の角部での絶縁破壊を防止するという点では、まだ十分ではなかった。

【0008】

【課題を解決するための手段】本発明は上記従来の欠点に鑑み成されたもので、図1に示すように、基板面及びオリエンテーション・フラット面の面方位がともに(100)である一導電型の半導体基板と、前記半導体基板の表層に形成された一導電型のドレイン領域と、前記ドレイン領域の表層に設けられた逆導電型のチャンネル領域と、前記チャンネル領域と前記ドレイン領域とを貫通するように設けられ、側壁の面方位が前記オリエンテーション・フラット面と一致し、かつ角部が切除され、切除後に露出する面の面方位が(110)となる溝と、前記溝の内壁及び前記角部を被覆するように設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられ、前記溝を充填するように形成されたゲート電極と、前記溝の近傍に設けられ、一導電型の不純物拡散層よりなるソース領域とを有する事を特徴とする半導体装置や、基板表面の面方位とオリエンテーション・フラット面の面方位がともに(100)面である一導電型の半導体基板の表層に一導電型のドレイン領域層を形成し、前記ドレイン領域層の表層に逆導電型のチャンネル領域層を形成する工程と、前記半導体基板の表面に第1の絶縁膜を形成し、前記チャンネル領域層に一導電型の不純物を注入・拡散してソース領域を形成する工程と、前記ソース領域近傍の領域の前記第1の絶縁膜及び前記半導体基板を選択的にエッチングして、側壁の面方位が前記オリエンテーション・フラット面と一致するような溝を形成する工程と、前記溝の開口の角部を選択的に除去し、除去された後に現れる面の面方位を(110)とする工程と、前記溝の内壁及び前記角部を酸化して、第2の絶縁膜を形成する工程と、前記溝を充填し、かつ前記半導体基板全面を被覆する導電体層を形成する工程と、前記導電体層をエッチングにより除去し、前記溝内に残存させてゲート電極を形成する工程とを有する事を特徴とする半導体装置の製造方法により、上記課題を解決するものである。

【0009】

【発明の実施の形態】以下で、本発明の実施形態に係るトレンチ構造のパワーMOSFETについて図面を参照しながら説明する。しかしながら本発明は以下の実施形態に限るものではない。図1は本実施形態に係るパワーMOSFETの構造を説明する断面図であり、図2は本実施形態に係るパワーMOSFETの製造に用いるウエハを説明する図である。

【0010】この半導体装置は、図2に示すようなウエハ、すなわち基板11の面方位が(100)であって、オリエンテーション・フラット面10の面方位が(100)であるようなウエハを用いて形成されている。この

パワーMOSFETにおいては、図1に示すようにN+型の半導体基板11の表層にN-型の共通ドレイン層12がエビタキシャル成長法によって形成され、この共通ドレイン層12の表層に、P+型の不純物が拡散されることでチャンネル層13が形成されている。

【0011】またチャンネル層13の表層の一部には、N+型の不純物が拡散されることによりソース領域14が形成されており、これらを貫通するようにトレンチ(溝)が設けられている。トレンチの側壁の面方位は図1に示すようにオリエンテーション・フラット面10の面方位と同じ(100)である。さらに、トレンチの角部KBは切除されており、切除された後に現れる角部の面(後述の切除面)の面方位は(110)になるように設定されている。

【0012】そして、トレンチの表層にはゲート絶縁膜15が形成され、ゲート絶縁膜15上にはこのトレンチを充填するようにポリシリコンゲート16が形成されている。ゲート絶縁膜15は、図1に示すようにトレンチの側壁の膜厚と、底面の膜厚とがほぼ同じであって、また、角部KBでの膜厚はトレンチ及び底面の膜厚よりも厚くなっている。どのようにしてこのようなゲート絶縁膜が形成されるかについては後述の製造方法で詳述する。

【0013】本実施形態に係る半導体装置によれば、図1に示すように、トレンチの側壁の膜厚と、底面の膜厚とがほぼ同じであるため、トレンチ底面の絶縁耐量低下という問題を抑止する事が可能になる。また、角部が切除されてなだらかになっているためこの部分で電界が集中しにくくなっており、しかも角部でのゲート絶縁膜15の膜厚が他の領域よりも厚くなっているため、トレンチの開口側の角部KBに電界が集中することにより、この角部KBにおいてゲート絶縁膜が破壊してしまうなどという問題を抑止する事が可能になる。

【0014】以下で、上記半導体装置の製造方法について図面を参照しながら説明する。図3～図5は、本実施形態に係るパワーMOSFETの製造方法を説明する断面図である。まず、基板として図2に示すように、基板面の面方位とオリエンテーション・フラット面の面方位がともに(100)である半導体基板11を用意する。

【0015】そして、図3に示すようにn+型のシリコンからなるこの半導体基板11の表層にn-型のドレイン層12をエビタキシャル成長法で形成し、その表層にp+型のチャンネル層13を形成する。さらにそのチャンネル層13上にシリコン酸化膜16を形成し、N+型不純物である例えば、砒素(As)をドーズ量 $1 \times 10^{16} \text{ cm}^{-2}$ の条件でチャンネル層の表層に選択的に注入・拡散して、ソース領域14を形成する。その後、ソース領域14近傍のシリコン酸化膜16及び半導体基板11を選択的にドライエッチングして幅 $1 \mu\text{m}$ 、深さ $1.5 \sim 3 \mu\text{m}$ 、好ましくは $2 \mu\text{m}$ 程度のトレンチ17を形成する。

【0016】次に、図4に示すようにトレンチ17の開
口側の角部18を、基板面と45°の傾斜をなすように
エッチングして除去する。この除去された後の角部の面
(以下でこれを切除面18と称する)の面方位は(11
0)となる。その後図5に示すように全面を熱酸化し
て、トレンチ17の内壁に膜厚500Å程度のシリコン
酸化膜からなるゲート絶縁膜15を形成する。

【0017】この成長工程において、トレンチ17の底
面の面方位と側壁の面方位は共に(100)であるた
め、酸化膜の成長速度は等しくなり、トレンチ17の底
面の膜厚と側壁の膜厚とは等しくなる。さらに、切除面
18の面方位は上述の通り(110)となる。この面
における酸化膜の成長速度は、トレンチ17の底面及び側
壁の酸化膜の成長速度よりも速いので、図5に示すよ
うに切除面18上で成長する酸化膜の膜厚をトレンチの底
面及び側壁の酸化膜の膜厚よりも厚くすることができ、
トレンチ17の底面の膜厚と側壁の膜厚とが等しく、か
つ切除面18での膜厚がこれらの膜厚よりも厚いゲート
絶縁膜15を形成する事が可能になる。

【0018】その後、全面にポリシリコンを堆積してト
レンチ内を充填した後に、これをパターニングすること
により、図1に示すようなトレンチ型のパワーMOSF
ETを製造する事ができる。以上説明したように、本実
施形態に係る半導体装置の製造方法によれば、基板面の
面方位とオリエンテーション・フラット面10の面方位
がともに(100)である半導体基板11を用意し、オリ
エンテーション・フラット面10の面方位とトレンチ
17の側壁の面方位をとともに(100)にしたのちに、
トレンチ17の角部を除去して面方位が(110)とな
る切除面18を形成し、酸化することでゲート絶縁膜1
5を形成しているの、トレンチ17の底面の膜厚と側
壁の膜厚とが等しく、かつ切除面18での膜厚がこれら
の膜厚よりも厚いゲート絶縁膜15を形成する事がで
き、図1に示すような本実施形態に係る半導体装置を製
造することが可能になる。

【0019】

【発明の効果】以上説明したように、本発明に係る半導
体装置によれば、トレンチの側壁の膜厚と、底面の膜厚
とがほぼ同じであるため、トレンチ底面の絶縁耐量低下
を抑止する事が可能になる。また、角部が切除されてな
だらかになっているためこの部分で電界が集中しにくく
なっており、しかも角部でのゲート絶縁膜の膜厚が他の
領域よりも厚くなっているの、トレンチの開口側の角
部に電界が集中することにより、ゲート絶縁膜が破壊し
てしまうなどという問題も抑止する事が可能になる。

【0020】また、本発明に係る半導体装置の製造方法
によれば、基板面の面方位とオリエンテーション・フラ
ット面の面方位がともに(100)である半導体基板を
用意し、オリエンテーション・フラット面の面方位とト
レンチの側壁の面方位をとともに(100)にしたのち
に、トレンチの角部を除去して面方位が(110)とな
る切除面を形成し、酸化することでゲート絶縁膜を形成
しているの、トレンチの底面の膜厚と側壁の膜厚とが
等しく、かつ角部での膜厚がこれらの膜厚よりも厚いゲ
ート絶縁膜を形成する事ができ、上述の作用効果を奏す
る本発明に係る半導体装置を製造する事が可能になる。

【図面の簡単な説明】

【図1】本発明の実施形態に係る半導体装置の構造を説
明する断面図である。

【図2】本発明の実施形態に係る半導体装置の製造に用
いる半導体基板を説明する図である。

【図3】本発明の実施形態に係る半導体装置の製造方法
を説明する第1の断面図である。

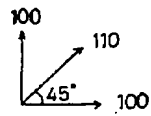
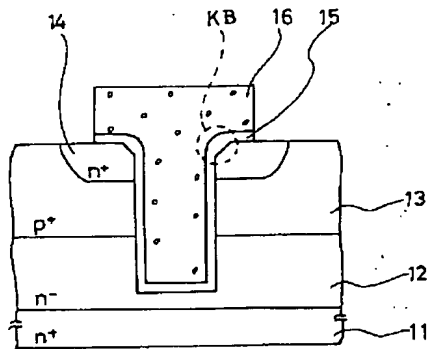
【図4】本発明の実施形態に係る半導体装置の製造方法
を説明する第2の断面図である。

【図5】本発明の実施形態に係る半導体装置の製造方法
を説明する第3の断面図である。

【図6】従来例に係る半導体装置の製造に用いる半導体
基板を説明する図である。

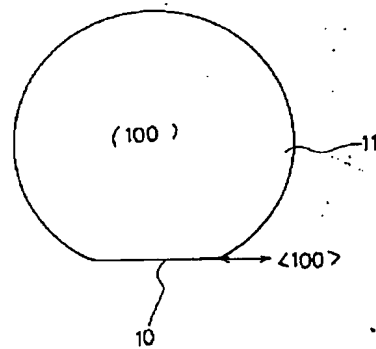
【図7】従来例に係る半導体装置の構造を説明する断面
図である。

【図1】



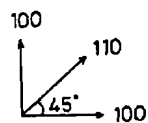
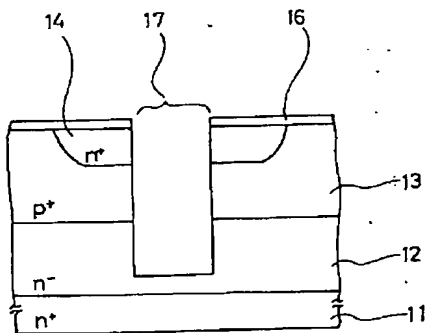
11: 半導体基板
12: ドレイン層
13: チャネル層
14: ソース領域
15: ゲート絶縁膜
16: ゲート電極
KB: 角部

【図2】



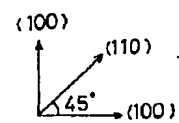
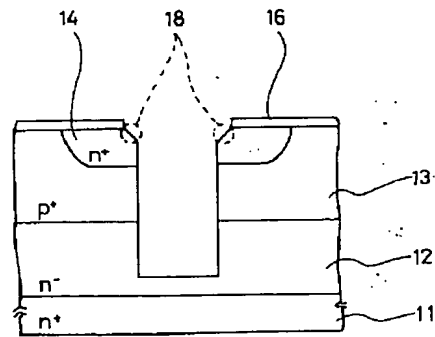
10: オリエンテーションフラット面

【図3】



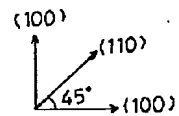
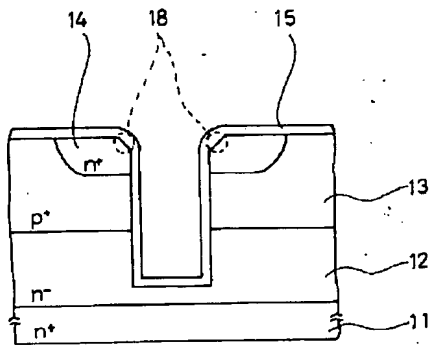
17: トレンチ(溝)

【図4】

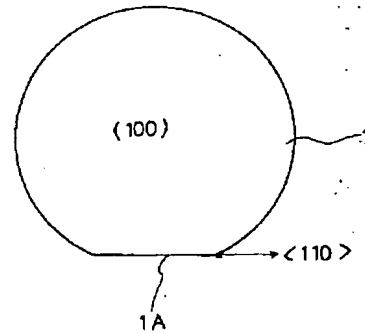


18: 切除面

【図5】

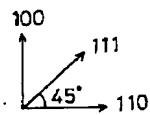
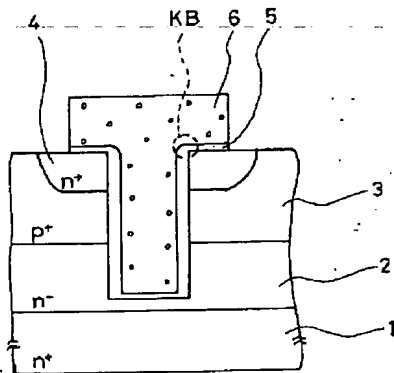


【図6】



1: 半導体基板
1A: オリエンテーションフラット面

【図7】



2: ドレイン層
3: チャネル層
4: ソース領域
5: ゲート絶縁膜
6: ゲート電極
KB: 角部

フロントページの続き

(72)発明者 東條 潤一郎
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 斎藤 洋明
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(7)

特開平10-154809

(72)発明者 福井 計
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内